

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-029700

(43)Date of publication of application : 31.01.2003

(51)Int.Cl.

G09G 3/28  
G09G 3/20  
H04N 5/66

(21)Application number : 2001-216271

(71)Applicant : FUJITSU LTD

(22)Date of filing : 17.07.2001

(72)Inventor : SEO YOSHIHO

HASHIMOTO YASUNOBU

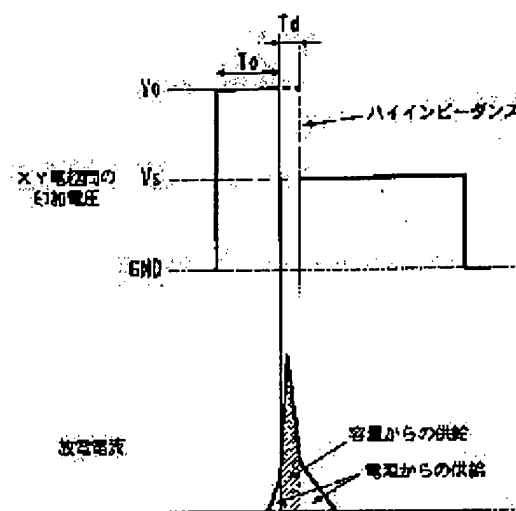
(54) DRIVING METHOD FOR PDP(PLASMA DISPLAY PANEL) AND DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enhance luminous efficiency by reducing power loss.

SOLUTION: In the driving of a PDP generating display discharge of the number of times corresponding to luminance in cells to be lighted by the application of a voltage pulse train, in a driving process equivalent to one pulse generating the display discharge of one time, a stage charging the capacitance between display electrodes so that the voltage between the display electrodes exceeds a voltage with which the display discharge is started by supplying a current from a driving power source to the pair of the display electrodes to be lighted and a stage interrupting the passage of current between the pair of the display electrodes and the driving power source at least at a part of a period from the starting of the display discharge to the completion of the display discharge are provided.

本発明に係る基本的な駆動電圧波形および放電電流波形を示す図



## LEGAL STATUS

[Date of request for examination]

04.10.2004

[Date of sending the examiner's decision of

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2003-29700  
(P2003-29700A)

(43) 公開日 平成15年1月31日 (2003.1.31)

(51) Int. CL <sup>7</sup>	識別記号	F I	7-マスト <sup>7</sup> (参考)
G 0 9 G 3/28		G 0 9 G 3/20	6 1 1 A 5 C 0 5 8
	3/20		6 4 1 E 5 C 0 8 0
	6 1 1		
	6 4 1	H 0 4 N 5/68	1 0 1 B
H 0 4 N 5/66	1 0 1	G 0 9 G 3/28	H
			K

審査請求 未請求 請求項の数 7 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願2001-216271 (P2001-216271)

(22) 出願日 平成13年7月17日 (2001.7.17)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 瀬尾 欣雄

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 発明者 橋本 康彦

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 100086803

弁理士 久保 幸雄

最終頁に続く

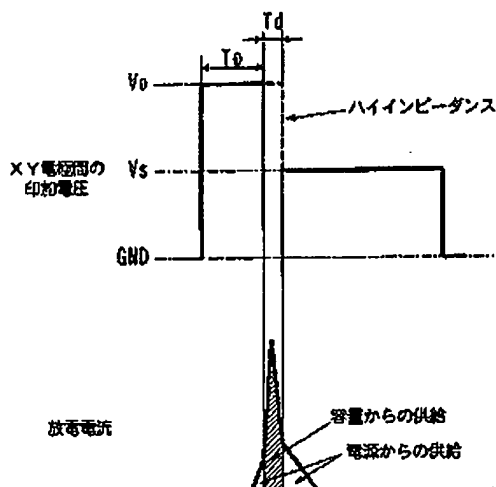
(54) 【発明の名称】 PDPの駆動方法および表示装置

(57) 【要約】

【課題】 電力損失を低減して発光効率を高めることを目的とする。

【解決手段】 電圧パルス列の印加によって点灯すべきセルにおいて適度に定数の表示放電を生じさせるPDPの駆動において、1回の表示放電を生じさせる1パルス分の駆動過程に、点灯すべきセルの表示電極対へ駆動電源から電流を供給して表示電極間の容量を当該表示電極間の電圧が表示放電の開始する電圧を超えるように充電する段階と、表示放電の開始から終了までの期間の少なくとも一部において表示電極対と駆動電源との通電を遮断する段階とを設ける。

本発明に係る基本的な駆動電圧波形および放電電流波形を示す図



(2)

特開2003-29700

1

2

【特許請求の範囲】

【請求項1】電圧パルス列の印加によって点灯すべきセルにおいて輝度に応じた回数の表示放電を生じさせるPDPの駆動方法であって、

1回の表示放電を生じさせる1パルス分の駆動過程が、点灯すべきセルの表示電極対へ駆動電源から電流を供給して表示電極間の容量を当該表示電極間の電圧が表示放電の開始する電圧を超えるように充電する段階と、表示放電の開始から終了までの期間の少なくとも一部において前記表示電極対と前記駆動電源との通電を遮断する段階とをもつことを特徴とするPDPの駆動方法。

【請求項2】前記容量を充電する段階では前記表示電極対に電圧V<sub>0</sub>を印加し、前記通電を遮断する段階の後に前記電圧V<sub>0</sub>より低い電圧を前記表示電極対に印加する段階を設ける請求項1記載のPDPの駆動方法。

【請求項3】前記容量を充電する段階において、前記電圧V<sub>0</sub>よりも低い電圧を前記表示電極対に印加した後に前記電圧V<sub>0</sub>を印加する請求項2記載のPDPの駆動方法。

【請求項4】前記通電を遮断する段階において、前記表示電極間の電圧が維持電圧以下になった場合には前記表示電極対に放電電流を供給する請求項1記載のPDPの駆動方法。

【請求項5】PDPに電圧パルス列を印加して点灯すべきセルにおいて輝度に応じた回数の表示放電を生じさせる駆動装置であって、

1回の表示放電を生じさせる1パルス分の駆動動作として、点灯すべきセルの表示電極対へ電流を供給して表示電極間の容量を当該表示電極間の電圧が表示放電の開始する電圧を超えるように充電し、その後に表示放電の開始から終了までの期間の少なくとも一部において前記表示電極対への通電を遮断することを特徴とする駆動装置。

【請求項6】面放電型のPDPとそれを駆動する駆動装置とから構成される表示装置であって、

前記PDPは、表示画面内の放電空間が隔壁によってマトリクス表示の列毎に区画され、前記隔壁で挟まれた列空間が列方向に沿って周期的に狭まり、かつ前記列空間のうちの広大部のそれぞれに面放電ギャップが形成される構造をもち、

前記PDPにおいて、面放電のための電極対を構成する複数の表示電極のそれぞれが、前記表示画面の行方向に延びる帯状のバス部と、前記隔壁との交差位置毎に当該バス部から列方向に張り出した複数のギャップ形成部とからなり、

前記駆動装置は、前記PDPに電圧パルス列を印加して点灯すべきセルにおいて輝度に応じた回数の表示放電を生じさせる装置であって、1回の表示放電を生じさせる1パルス分の駆動動作として、点灯すべきセルの表示電極対へ電流を供給して表示電極間の容量を当該表示電極

間の電圧が表示放電の開始する電圧を超えるように充電し、その後に表示放電の開始から終了までの期間の少なくとも一部において前記表示電極対への通電を遮断することを特徴とする表示装置。

【請求項7】前記複数のギャップ形成部のそれぞれは、それとともに面放電ギャップを形成する他の主電極のギャップ形成部との間で対向する辺どうしが平行でない形状にパターンニングされている請求項6記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、PDP（Plasma Display Panel：プラズマディスプレイパネル）の駆動方法および駆動装置に関する。

【0002】PDPにおいては、大型化や高精細化による画素数の増加が消費電力の増大を招いている。駆動デバイスの負担軽減および発熱対策の上で電力消費を低減する必要がある。

【0003】

【従来の技術】カラー表示デバイスとして、面放電形式のAC型PDPが商品化されている。ここでいう面放電形式は、輝度を確保する表示放電において陽極および陰極となる電極（表示電極Xおよび表示電極Y）を、前面側または背面側の基板の上に平行に配列し、表示電極対と交差するようにアドレス電極（第3電極）を配列する形式である。表示電極の配列には、マトリクス表示の行毎に1対ずつ配列する形態と、表示電極Xおよび表示電極Yを1本ずつ交互に等間隔に配列する形態とがある。後者の場合、配列の両端を除く表示電極は隣接する2行の表示に係わる。配列形態に係わらず、表示電極対は誘電体で被覆される。

【0004】面放電形式のPDPの表示においては、各行に対応づけられた表示電極対の一方を行選択のためのスキャン電極として用い、スキャン電極とアドレス電極との間でのアドレス放電と、それをトリガーとした表示電極間のアドレス放電とを生じさせることによって、表示内容に応じて誘電体の帯電量（壁電荷量）を制御するアドレッシングが行われる。アドレッシングの後、表示電極対に交差極性の維持電圧（駆動電圧とも呼ばれる）V<sub>s</sub>を印加する。維持電圧V<sub>s</sub>は（1）式を満たす。

【0005】 $V_{fx} - V_{wx} < V_s < V_{fy} \dots (1)$

V<sub>fx</sub>：表示電極間の放電開始電圧

V<sub>wx</sub>：表示電極間の壁電圧

維持電圧V<sub>s</sub>の印加により、所定量の壁電荷の存在するセルのみでセル電圧（電極に印加する駆動電圧と壁電圧との和）が放電開始電圧V<sub>fx</sub>を越えて基板面に沿った表示用の面放電が生じる。印加周期を短くすると、視覚的に発光が連続する。

【0006】PDPの放電セルは基本的には2価発光原子である。したがって、中間調はフレーム期間における

(3)

特開2003-29700

3

4

個々の放電セルの積分発光量を入力画像データの階調値に応じて設定することによって再現される。カラー表示は階調表示の一種であって、表示色は3原色の輝度の組合せによって決まる。階調表示には、1フレームを輝度の重み付けをした複数のサブフレーム（インタレース表示の場合はサブフィールド）で構成し、サブフレーム単位の発光（点灯）の有無の組合せによって積分発光量を設定する方法が用いられる。駆動シーケンスの概要は次のとおりである。各サブフレームに割り当てるサブフレーム期間は、画面の帯電分布を一様化するリセット期間、表示内容に応じた帯電分布を形成するアドレス期間、および交番極性のパルス列の印加によって階調値に応じた回数（サステイン放電ともいう）を生じさせる表示期間（サステイン期間ともいう）に大別される。リセット期間およびアドレス期間の長さは輝度の重みに係わらず一定であるが、表示期間の長さは輝度の重みが大きいほど長い。

【0007】従来の駆動方法は、表示期間において図17のように表示電極Xと表示電極Yとに交互に振幅Vsの単純矩形波のサステインパルスPsを印加する。すなわち、表示電極Xと表示電極Yとを交互に一時的に電位Vsにバイアスする。これにより、表示電極Xと表示電極Yとの間（これをXY電極間という）に交番極性のパルス列が加わる。パルススペース電位（通常はグラウンドレベル：GND）とバイアス電位との差、すなわち維持電圧Vsは駆動マージン範囲内の値に設定される。駆動マージンは、放電開始電圧Vfと点灯を維持するのに必要な最低の印加電圧Vsmとの差で定義される。維持電圧VsをVf以上とすると、アドレッシングで非点灯としたセルでも放電が起こってしまう。維持電圧VsをVsm未満とすると、点灯状態のセルが消灯状態になってしまう。

【0008】

【発明が解決しようとする課題】PDPのセルは電源からみて容量性負荷であるので、サステインパルスPsの印加に際して、セルのもつ静電容量（CP）を充電する電流が流れる。通常、静電容量の端子間電圧が維持電圧Vsに達した時点より遅れて表示放電が起こり、それにとまって放電電流（これを発光電流という）が流れる。従来では、放電電流がPDPに接続された電源回路からセルへ供給されていた。このため、電力供給経路が長く、かつ電流がスイッチングトランジスタを含む多くの回路デバイスを経由することから、電力損失が大きくなり、これが発光効率を低下させるという問題があった。

【0009】本発明は、電力損失を低減して発光効率を高めることを目的としている。

【0010】

【課題を解決するための手段】本発明においては、表示電極間の容量を表示放電が起こるように十分に充電した後、電源とセルとの通電を遮断する。この遮断と表示放

電とが時間的に重なるように、充電電圧および充電期間を設定する。遮断期間に表示放電が起こると、放電電流は充電された容量から放電ギャップへ供給される。この場合、容量への充電電流と比べて急激に流れる放電電流の経路がセルの内部となるので、従来のごとく電源から放電電流を供給する場合と比べて電力損失が少ない。

【0011】図1は本発明に係る基本的な駆動電圧波形および放電電流波形を示す図である。駆動電圧波形は、維持電圧Vsより高い電圧VoをXY電極間に印加する段階と、それに続くハイインピーダンス段階と、維持電圧Vsを印加する段階とをもつ階段状であることを特徴としている。ハイインピーダンス段階は電源からセルへの通電を遮断する段階である。波形の立上りから電圧Voを印加する時間をTo、ハイインピーダンス段階の時間をTdとする。この波形では、初期に電圧Voの印加によってXY電極間の容量に多くの電力を供給する。その後、放電が発生すると、放電ガスに流れる電流として電力が消費される。この放電が終息するまでに外部からの電力供給を絶つと放電ガス中に流れる電力はXY電極間の容量から供給されることになる。その後、放電が終息する前に印加電圧を適当な電圧Vsとすることで、終了状態での壁電荷量が点灯能待に達するようにコントロールされる。

【0012】図2は電圧Voに対する効率の依存性を示すグラフ、図3は駆動電圧マージンを示すグラフである。発光効率は、放電電流のうちの容量による供給分の割合に依存する。通電を遮断する期間に放電電流のピークが現れるように電圧Voを設定するのが望ましい。図3が示すとおり、電圧Voを変更しても十分な駆動マージンを確保することができる。本発明の駆動波形によれば、駆動マージンを損なわずに電力損失を低減することができ、これによって発光効率を高めることができる。

【0013】

【発明の実施の形態】図4は本発明に係る表示装置の構成図である。表示装置100は、n行m列のカラー表示画面を有した面放電型のPDP1と、セルの発光を制御するドライブユニット70とから構成されており、壁掛け式テレビジョン受像機、コンピュータシステムのモニターなどとして利用される。

【0014】PDP1は一對の基板構体10、20からなる。基板構体とは、ガラス基板上に電極その他の構成要素を設けた構造体を意味する。PDP1では、表示放電を生じさせるための電極対を構成する表示電極X、Yが同一方向に配列され、これら表示電極X、Yと交差するようにアドレス電極Aが配列されている。表示電極X、Yは画面の行方向（水平方向）に並び、誘電体および保護膜で覆われている。表示電極Yはスキャン電極として用いられる。アドレス電極Aは列方向（垂直方向）に並び、アドレス電極Aはデータ電極として用いられる。図において表示電極X、Yの参照符号の添字

(4)

特開2003-29700

5

6

(1, n)は対応する“行”の配列順位を示し、アドレス電極Aの参照符号の添字(1~m)は対応する“列”の配列順位を示す。行は列方向の配置順序が等しい列数分(m個)のセルの集合であり、列は行方向の配置順序が等しい行数分(n個)のセルの集合である。また、括弧内のアルファベットR, G, Bはそれを付した要素に対応するセルの発光色を示す。

【0015】ドライバユニット70は、コントローラ71、電源回路73、Xドライバ81、Yドライバ84、およびAドライバ88を有している。ドライバユニット70にはTVチューナ、コンピュータなどの外部装置からR, G, Bの3色の輝度レベルを示すフレームデータDfが各組の同期信号とともに入力される。フレームデータDfはコントローラ71の中のフレームメモリに一時的に記憶される。コントローラ71は、フレームデータDfを階調表示のためのサブフレームデータDs fに変換してAドライバ88へ送る。サブフレームデータDs fは1セル当たり1ビットの表示データの集合であって、その各ビットの値は該当する1つのサブフレームにおけるセルの発光の要否、厳密にはアドレス放電の要否を示す。なお、インタレース表示の場合には、フレームを構成する複数のフィールドのそれぞれが複数のサブフィールドで構成され、サブフィールド単位の発光制御が行われる。ただし、発光制御の内容はプログレッシブ表示の場合と同様である。

【0016】図5は表示画面のセル配列を示す平面図である。表示画面において放電空間30は規則的に蛇行する隔壁29によって列ごとに区画され、広大部(行方向の幅の大きい部分)31Aと狭窄部(幅の小さい部分)31Bとが交互に並ぶ列空間31が形成されている。すなわち、各隔壁29は平面視において一定の周期および幅で波打っており、隣り合う隔壁29との距離が列方向における等間隔の位置ごとに一定値より小さくなるように配置されている。一定値とは放電の抑止が可能なる法であり、ガス圧などの放電条件によって定まる。隣り合う隔壁で挟まれた列空間31が全ての行に跨って連続する構造は、列単位のプライミングによる駆動の容易化、蛍光体層の膜厚の均一化、および製造における排気処理の容易化を図る上で有利である。狭窄部31Bでは面放電が生じにくく、広大部31Aが実質的に発光に寄与する。したがって、各行において1列毎にセルが配置されることになる。そして、隣り合う2つの行に注目すると、セルの配置される列が1列毎に交互に入れ替わる。つまり、セルは行方向および列方向の双方において千鳥状に並ぶ。各セルCは表示画面における1つの広大部31Aの範囲内の構造体である。図では代表として5個のセルCを鎖線の円で示してある(図を見やすくするために円は実際より若干大きい範囲を囲んでいる)。PDP1では、RGBの計3つのセルによって1つの画素が構成され、カラー表示の3色の配列形式は三角(デル

タ)配列形式である。三角配列は、行方向においてセルの幅が画素ピッチの1/3よりも大きく、インライン配列に比べて高解像度に有利である。また、画面のうちの非発光領域の占める割合が小さいので、高輝度の表示を行うことができる。なお、必ずしも水平方向を行方向とする必要はなく、垂直方向を行方向とし水平方向を列方向としてもよい。

【0017】図6はPDPのセル構造を示す斜視図である。PDP1では、前面側のガラス基板11の内面に表示電極X, Y、誘電体層17および保護膜18が設けられ、背面側のガラス基板21の内面にアドレス電極A、絶縁層24、隔壁29、および蛍光体層28R, 28G, 28Bが設けられている。表示電極X, Yは、それぞれが面放電ギャップを形成する透明導電膜41とバス導体としての金属膜42とから構成され、列方向に一定の間隔(面放電ギャップ)を隔てて交互に配列されている。面放電ギャップのギャップ方向、すなわち表示電極X, Yの対峙方向は列方向である。

【0018】図7は表示電極の形状を示す平面図である。表示電極X, Yのそれぞれは、列方向に蛇行しながら行方向に延びる透明導電膜41と、広大部31Aを避けるように隔壁29に沿って蛇行しながら行方向に延びる帯状の金属膜42とで構成される。透明導電膜41は、波打つように湾曲した帯状であって、列毎に金属膜42から広大部31Aに向かって張り出す弧状のギャップ形成部を有した形状にパターンニングされている。各広大部31Aにおいて、表示電極Xのギャップ形成部と表示電極Yのギャップ形成部とが対峙し、鼓状の面放電ギャップを形成する。対峙するギャップ形成部の対において、対向する辺どうしは平行でない。なお、帯状の透明導電膜41の幅は規則的に変化してもよい。

【0019】この電極形状によれば、直線帯状とする場合と比べて、面放電ギャップ長(最短電極間距離)を増大させずに電極間距離の静電容量を低下させることができる。また、広大部31Aの行方向中央での透明導電膜41と金属膜42との距離が大きいため、透明導電膜41と金属膜42との隙間での電界強度が小さくなり、行間の放電干渉を防止することができる。さらに、副次的な効果として、金属膜42による遮光が軽減されて発光効率が上がる。

【0020】図8はフレーム分割の概念図である。PDP1による表示では、2値の点灯制御によってカラー再現を行うために、入力画像である時系列のフレームFを所定数qのサブフレームSFに分割する。つまり、各フレームFをq個のサブフレームSFの集合に置き換える。これらサブフレームSFに順に例えは $2^0, 2^1, 2^2, \dots, 2^{q-1}$ の重みを付与して各サブフレームSFの表示放電の回数を設定する。図ではサブフレーム配列が重みの順であるが、他の順序であってもよい。冗長な重み付けを最小して偽輪郭を低減してもよい。このような

(5)

特開2003-29700

7

8

フレーム構成に合わせてフレーム転送周期であるフレーム期間 $T_f$ を $q$ 個のサブフレーム期間 $T_{sf}$ に分割し、各サブフレームSFに1つのサブフレーム期間 $T_{sf}$ を割り当てる。さらに、サブフレーム期間 $T_{sf}$ を、初期化のためのリセット期間 $T_R$ 、アドレッシングのためのアドレス期間 $T_A$ 、および点灯維持のための表示期間 $T_S$ に分ける。リセット期間 $T_R$ およびアドレス期間 $T_A$ の長さが互いに係わらず一定であるのに対し、表示期間 $T_S$ の長さは重みが大いほど長い。したがって、サブフレーム期間 $T_{sf}$ の長さも、それに該当するサブフレームSFの重みが大いほど長い。駆動シーケンスはサブフレーム毎に繰り返され、 $q$ 個のサブフレームSFにおいてリセット期間 $T_R$ ・アドレス期間 $T_A$ ・表示期間 $T_S$ の順序は共通である。

【0021】以下、本発明に深く関わる表示期間 $T_S$ の駆動波形を例示する。図9は駆動波形の第1例を示す図である。この例では、対をなす表示電極 $X$ 、 $Y$ のそれぞれに対して、正の高圧、それより低い正の高圧、およびグラウンドレベルの3種類の電位設定をする。最も高い高圧の印加時間が短く、高い高圧から低い高圧への切り換え時に破線で示すハイインピーダンス期間を設ける。なお、負の低い電圧と負の高い電圧とグラウンドレベルの3種類の電位設定でも同様の駆動が可能である。低い高圧の印加時間が短く、低い高圧から高い高圧に切り換え時にハイインピーダンス期間を設ければよい。この例における $XY$ 電極間の電位差の絶対値は0ボルトを含めないで2つとなる。この例は、電源の出力極性が単一でよいという長所をもつ。

【0022】図10は駆動波形の第2例を示す図である。この例の駆動波形は、正の高圧と負の高圧とGNDレベルの3種類の設定電位をもつ。表示電極 $X$ 、 $Y$ の一方に正の高圧が印加されると同時に他方の電極に負の高圧が印加される。負の高圧印加が短く、負の高圧からグラウンドレベルに切り換えるときにハイインピーダンス期間が設けられる。これと同様に、正の高圧印加時間を短くし、正の高圧からグラウンドレベルに切り換えるときにハイインピーダンス期間を設けてもよい。この例は、 $XY$ 電極間の電位差の絶対値は0ボルトを含めないで2つある。この例は、耐圧の低いデバイスで電源を構成できるという長所をもつ。

【0023】図11は駆動波形の第3例を示す図である。この例の駆動波形は、正の高い電圧と正の低い電圧とグラウンドレベルとをもつ。一方の表示電極に正の高い電圧を印加した後に、短い時間をあけて他方の表示電極を電源から切り離してハイインピーダンス状態とし、その後正の低い電圧を印加する。これらを負の低い電圧と負の高い電圧とグラウンドレベルとに置き換えてもよい。この例は、 $XY$ 電極間の電位差の絶対値は0ボルトを含めないで2つある。

【0024】図12は駆動波形の第4例を示す図であ

る。この例は、上述の第3例の電極電位設定を負極性側にシフトさせたものに相当する。この駆動波形は、正の高圧とグラウンドレベルと負の高圧とをもつ。対をなす表示電極 $X$ 、 $Y$ を同時に負の電位とした後、一方の表示電極を正の高圧とし、短い時間の後に、他方の表示電極をハイインピーダンス状態とした後にグラウンドレベルとする。これに代えて、表示電極 $X$ 、 $Y$ を同時に正の高圧とした後、一方の表示電極を負の高圧とし、短い時間の後に、他方の表示電極をハイインピーダンス状態とした後にグラウンドレベルとしてもよい。この例では、 $XY$ 電極間の電位差の絶対値は0ボルトを含めないで2つある。この例では、上述の第2例と比べて、ハイインピーダンス状態とする時点とその前の電位の切換え時点との間隔が長いので、電極電位制御に用いるスイッチングデバイスに対する応答性の要求が緩和される。

【0025】図13は駆動波形の第5例を示す図である。この例の駆動波形は、正の高圧とグラウンドレベルと負の高圧とをもつ。一方の表示電極を負の高圧とした後、他方の表示電極を正の高圧とし、短い時間の後に負の電位であった表示電極をハイインピーダンス状態とし、その後ハイインピーダンス状態であった表示電極をグラウンドレベルとする。これに代えて、一方の表示電極を正の高圧とした後、他方の表示電極を負の高圧とし、短い時間の後に正の電位であった表示電極をハイインピーダンス状態とし、その後ハイインピーダンス状態であった表示電極をグラウンドレベルとしてもよい。この例は、 $XY$ 電極間の電位差の絶対値は0ボルトを含めないで3つある。この例は、 $XY$ 電極間電圧の極性が反転するまでを1つのパルスとし、パルス前縁から順に印加電圧を第1レベル、第2レベル、第3レベルとすると、第2レベルが最大高圧となる。ハイインピーダンス期間で表示放電を起こすには第1レベルは第3レベルよりも低い電圧である必要がある。

【0026】 $XY$ 電極間の電圧に注目してこの第5例を上述の第1～第4例と比較すると、ハイインピーダンス期間がパルス前縁から遅れている。この遅れが表示放電の発生タイミングとハイインピーダンス期間との重なりを調整する役割を担っている。第1レベルを保持する期間 $T_s$ をパラメータとして、電圧 $V_o$ に対する効率の依存性を図14に示す。図14が示すとおり第5例には、高効率化を電圧 $V_o$ が低くても実現できるようにするという長所がある。

【0027】図15は駆動回路の構成例を示す図。図16はスイッチングのタイムチャートである。ここでは第4例の駆動波形を発生させる場合を説明する。図示の回路は、正の高圧を発生する電源に接続された端子 $XTP1$ 、 $YTP1$ 、 $PDP1$ につながれた出力端子 $XOUT$ 、 $YOUT$ と端子 $XTP1$ 、 $YTP1$ との通電制御のためのスイッチ $XSw1$ 、 $YSw1$ 、スイッチ $XSw1$ 、 $YSw1$ から出力端子 $XOUT$ 、 $YOUT$ へ向かう

(5)

特開2003-29700

9

10

電流路を形成する整流素子XD1、YD1、負の電圧を発生する電源に接続された端子XTP2、YTP2、端子XTP2、YTP2と出力端子XOUT、YOUTとの通電制御のためのスイッチXSw2、YSw2、出力端子XOUT、YOUTからスイッチXSw2、YSw2へ向かう電流路を形成する整流素子XD2、YD2、グラウンド線に接続された端子XTP3、YTP3、端子XTP3、YTP3と出力端子XOUT、YOUTとの通電制御のためのスイッチXSw3、YSw3、スイッチXSw3、YSw3から出力端子XOUT、YOUTへ向かう電流路を形成する整流素子XD3、YD3、グラウンド線に接続された端子XTP4、YTP4、端子XTP4、YTP4と出力端子XOUT、YOUTとの通電制御のためのスイッチXSw4、YSw4、出力端子XOUT、YOUTからスイッチXSw4、YSw4へ向かう電流路を形成する整流素子XD4、YD4、正の電圧を発生する電源に接続された端子XTP5、YTP5、出力端子XOUT、YOUTから端子XTP5、YTP5へ向かう電流路を形成する整流素子XD5、YD5、負の電圧を発生する電源に接続された端子XTP6、YTP6、および端子XTP6、YTP6から出力端子XOUT、YOUTへ向かう電流路を形成する整流素子XD6、YD6を有している。

【0028】駆動波形において、2パルス分の駆動期間をT1、T2、T3、T4、T5、T6、T7、T8に分ける。期間T1、T5では表示電極X、Yがともに負電位となる。期間T2、T6では表示電極X、Yの一方が正電位となり、かつ他方が負電位となる。期間T3、T7では、期間T2または期間T6において負電位となっていた表示電極がハイインピーダンス状態となる。期間T4、T8では、表示電極X、Yの一方が正電位となり、かつ他方がグラウンド電位となる。

【0029】期間T1では、スイッチXSw2、YSw2を閉じることで出力端子XOUT、YOUTを双方とも負電位としている。この時にスイッチXSw4、YSw4は閉じていても開いていてもよい。期間T1においてスイッチXSw1、XSw3、YSw1、YSw3は開いておく。また、スイッチXSw2、XSw4は期間T2になるまで開く。

【0030】期間T2において、スイッチXSw1を閉じて出力端子XOUTを正電位とする。その際に、グラウンド線から出力端子XOUTに向けて電流を流すスイッチXSw3は閉じていても開いていてもよい。期間T2ではスイッチYSw2は閉じており、出力端子YOUTは負電位となっている。スイッチYSw4は閉じていても開いていてもよい。

【0031】期間T3において、スイッチXSw1、XSw2、XSw3、XSw4は期間T2の状態を維持する。期間T3にスイッチYSw2を開くことで、負の電圧からの電力供給を遮断する。この状態においては、出

力端子YOUTはグラウンドレベルよりも低電位となっているが、整流素子YD4が接続されているので、スイッチYSw4が閉じていても出力端子YOUTはハイインピーダンス状態となる。また、この期間T3に放電が発生させると出力端子YOUTの電位は上昇する。この電位上昇が大きいとXY電極間電位差が小さくなり、壁電荷の形成が不十分となり駆動マージン不良を引き起こす。期間T3において出力端子YOUTからグラウンド線へ電流を流すスイッチYSw4を閉じておくことで、出力端子YOUTの電位をグラウンドレベル以上としないようにすることができる。

【0032】期間T4において、スイッチXSw1、XSw2、XSw3、XSw4は期間T2の状態を維持する。スイッチYSw3、YSw4を閉じることで出力端子YOUTをグラウンドレベルに固定する。

【0033】期間T5～T8においては、期間T1～T4における表示電極Xと表示電極Yとの関係を入れ換えたスイッチングを行なう。

【0034】

【発明の効果】請求項1ないし請求項7の発明によれば、電力損失を低減して発光効率を高めることができる。

【図面の簡単な説明】

【図1】本発明に係る基本的な駆動電圧波形および放電電流波形を示す図である。

【図2】電圧V<sub>o</sub>に対する効率の依存性を示すグラフである。

【図3】駆動電圧マージンを示すグラフである。

【図4】本発明に係る表示装置の構成図である。

【図5】表示画面のセル配列を示す平面図である。

【図6】PDPのセル構造を示す斜視図である。

【図7】表示電極の形状を示す平面図である。

【図8】フレーム分割の概念図である。

【図9】駆動波形の第1例を示す図である。

【図10】駆動波形の第2例を示す図である。

【図11】駆動波形の第3例を示す図である。

【図12】駆動波形の第4例を示す図である。

【図13】駆動波形の第5例を示す図である。

【図14】駆動波形の第5例に係る電圧V<sub>o</sub>に対する効率の依存性を示すグラフである。

【図15】駆動回路の構成例を示す図である。

【図16】スイッチングのタイムチャートである。

【図17】従来の駆動電圧波形を示す図である。

【符号の説明】

1 PDP

X、Y 表示電極

T1～T8 サブフレーム期間

70 ドライブユニット（駆動装置）

100 表示装置

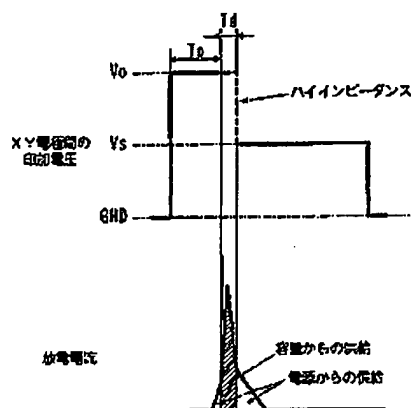
50

(7)

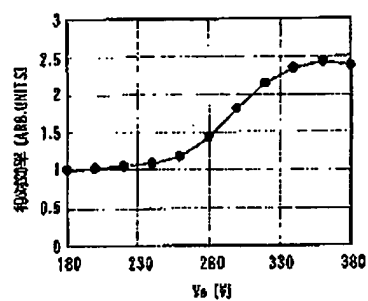
特開2003-29700

【図1】

本発明に係る基本的な駆動電圧波形および放電電流波形を示す図

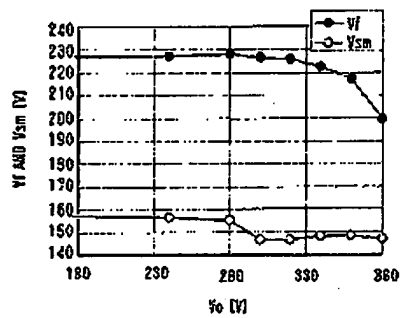


【図2】

電圧 $V_0$ に対する効率の依存性を示すグラフ

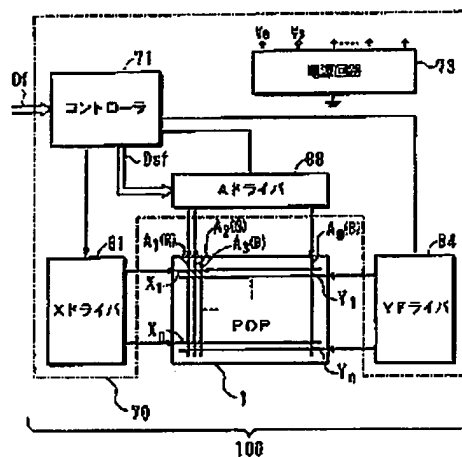
【図3】

駆動電圧マージンを示すグラフ



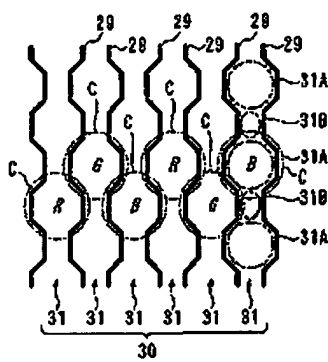
【図4】

本発明に係る表示装置の構成図



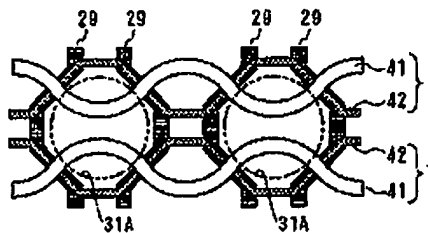
【図5】

表示面のセル配列を示す平面図



【図7】

表示電極の形状を示す平面図

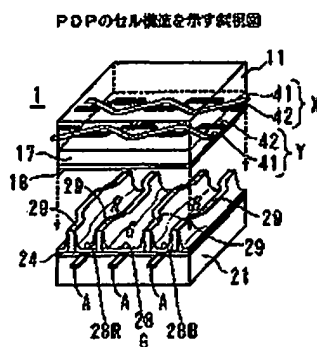




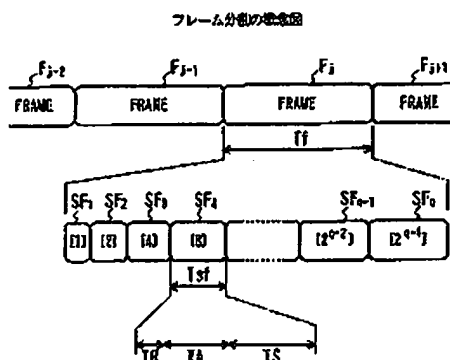
(8)

特開2003-29700

【図6】

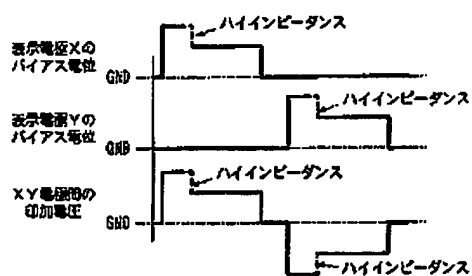


【図8】



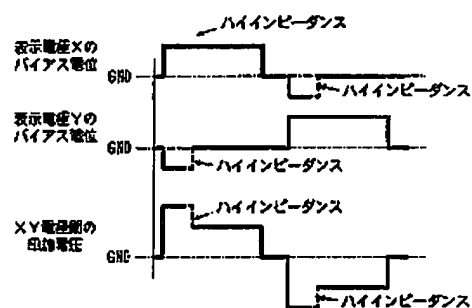
【図9】

駆動波形の第1例を示す図



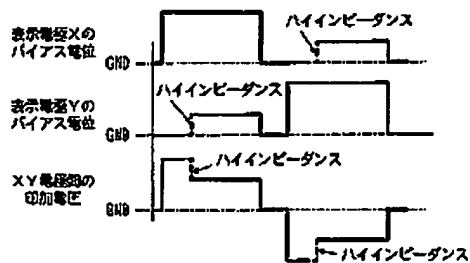
【図10】

駆動波形の第2例を示す図



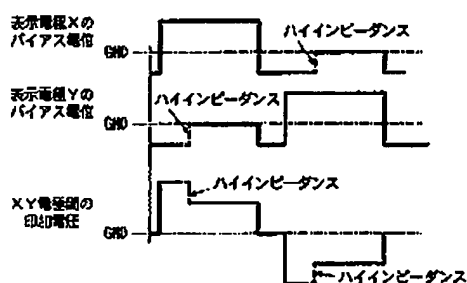
【図11】

駆動波形の第3例を示す図



【図12】

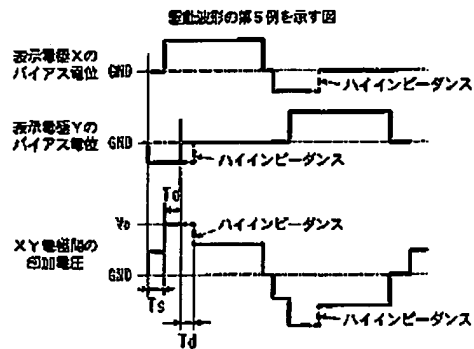
駆動波形の第4例を示す図



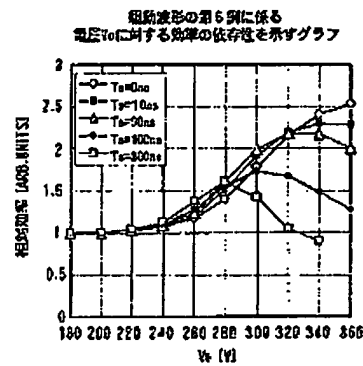
(9)

特開2003-29700

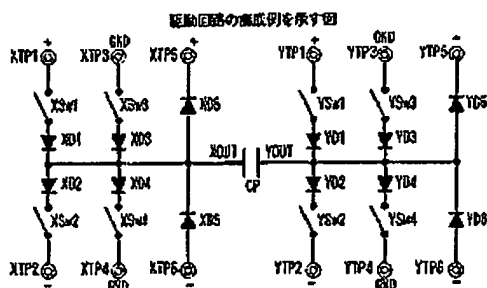
【図13】



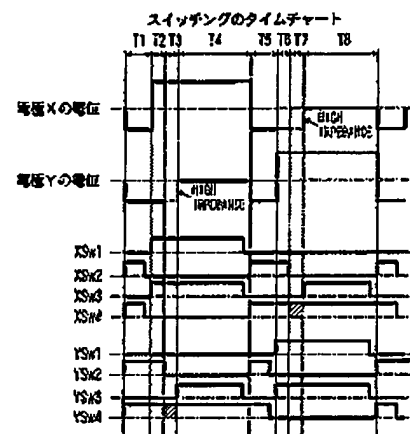
【図14】



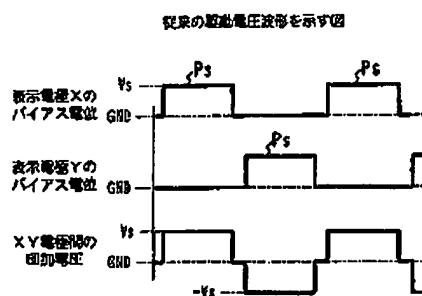
【図15】



【図16】



【図17】



フロントページの続き

(51)Int.Cl.

識別記号

F I  
G 0 9 G 3/28

ターマコード (参考)

E

(10)

特開2003-29700

F ターム(参考) 5C058 AA11 BA02 BA26 BA35 BB01  
5C080 AA05 BB05 CC03 DD26 EE29  
FF12 GG12 HH02 HH04 JJ02  
JJ03 JJ04 JJ05 JJ06